

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-270414

(43)Date of publication of application : 25.09.1992

(51)Int.Cl.

G06F 7/00

G06F 1/14

(21)Application number : 03-018492

(71)Applicant : WEYTEC CORP

(22)Date of filing : 17.01.1991

(72)Inventor : HU LARRY  
CHUK TING  
MCLEOD JOHN  
BIRMAN MARK  
SAMUELS ALLEN  
CHU GEORGE K

(30)Priority

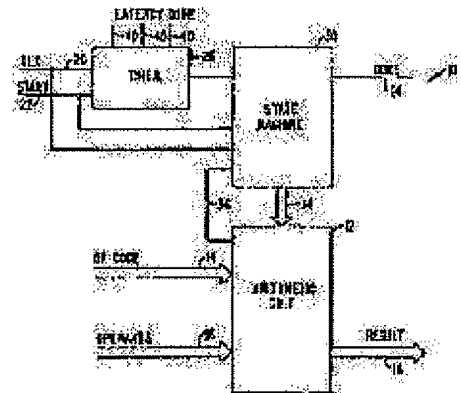
Priority number : 90 467879 Priority date : 19.01.1990 Priority country : US

## (54) METHOD AND DEVICE FOR VARIABLE WAIT TIME FOR FLOATING-POINT COPROCESSOR

(57)Abstract:

PURPOSE: To provide a coprocessor where the wait time required for operation completion is variable.

CONSTITUTION: An arbitrary wait time code is set to a timer 26, and the timer 26 counts down a value corresponding to this code with a clock. When the timer 26 reaches 0, a completion signal is issued and is outputted to a line 24 through a state machine 30. The time determined by the wait time code is set to a value corresponding to a time equal to or longer than the time required for operation in an arithmetic unit 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of

rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-270414

(43) 公開日 平成4年(1992)9月25日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
G 0 6 F 7/00 1/14		8323-5B 7368-5B 8323-5B	G 0 6 F 7/00 1/04 7/00	U 3 5 2 C
審査請求 未請求 請求項の数12(全 10 頁)				

(21) 出願番号 特願平3-18492

(22) 出願日 平成3年(1991)1月17日

(31) 優先権主張番号 07/467879

(32) 優先日 1990年1月19日

(33) 優先権主張国 米国 (US)

(71) 出願人 591026241

ウエイテック コーポレーション

WEITEK CORPORATION

アメリカ合衆国, 94086, カリフォルニア,

サニーヴェイル, イースト アルケス ア

ベニュー, 1060

(72) 発明者 ラリー・フー

アメリカ合衆国, 94040, カリフォルニア,

マウンテン ビュー, #248, エスクエラ

アベニュー, 333

(74) 代理人 弁理士 河野 登夫

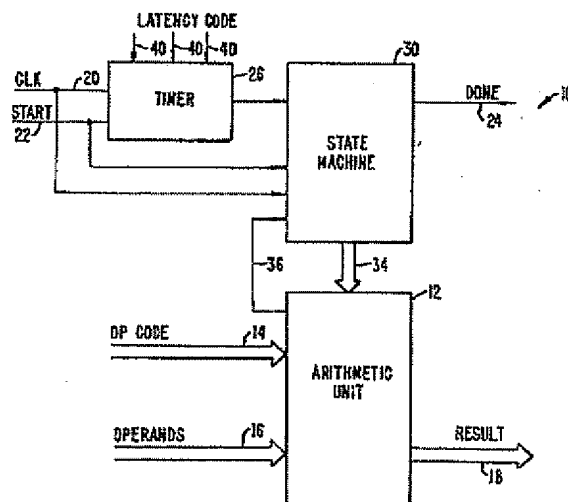
最終頁に続く

(54) 【発明の名称】 浮動小数点コプロセッサ用可変待ち時間方法及び装置

(57) 【要約】

【目的】 演算完了に必要な待ち時間を可変としたコプロセッサを提供する。

【構成】 任意の待ち時間コードはタイマ26に設定され、タイマ26はこのコードに対応する値をクロックでカウントダウンする。タイマ26が0になると完了信号が発せられ、ステートマシン30を介してライン24へ出力される。前記待ち時間コードによって定まる時間は演算装置12での演算に必要な時間以上の時間に対応する値に設定される。



## 【特許請求の範囲】

【請求項1】 与えられたオペランドにより算術演算を行い、且つ外部クロックを使用するコプロセッサ又は浮動小数点ユニットであって、起動信号を受信すると前記オペランドにより算術演算を行う論理演算手段と、前記起動信号後に前記クロックの所定数のサイクルの完了信号を発生するカウンタ手段と、前記カウンタ手段と結合されており、前記完了信号を発生するのに必要な前記クロックの所定数サイクルを、前記起動信号及び完了信号間の待ち時間が変更可能なように、変更するプログラマブル手段とを備えることを特徴とするコプロセッサ又は浮動小数点ユニット。

【請求項2】 乗算器を含み、乗算器起動信号を受信すると前記オペランドにより乗算演算を行う第2論理演算手段と、前記乗算器起動信号後、前記クロックの所定数のサイクルの乗算完了信号を発生する第2カウンタ手段と前記第2カウンタ手段と結合されており、前記乗算完了信号に必要な前記クロックのサイクル数を、前記乗算器起動信号と前記乗算完了信号との間の待ち時間が前記クロックのサイクル時間を変更するために、最小になし得るように、変更する第2プログラマブル手段とを備える請求項1のコプロセッサ。

【請求項3】 さらに割算反復のための可変数のクロックサイクルを選択する手段を備える請求項1のコプロセッサ。

【請求項4】 前記カウンタ手段は、前記プログラマブル手段と結合されており、前記プログラマブル手段により設定される数値で起動するカウンタと、該カウンタの出力と結合されており、前記カウンタ出力が所定値に等しいときは完成信号を発生する論理手段と前記論理手段が前記所定値を受信した後、次のクロックサイクルで前記完成信号を出力に於いて発生する論理手段の出力と結合されている記憶手段とを備える請求項1のコプロセッサ。

【請求項5】 前記プログラマブル手段とデクリメンタとの間に結合されており、前記プログラマブル手段の出力をデコードすると共に、零値が前記デクリメンタに現れることを防ぐ第2論理手段を備える請求項4のコプロセッサ。

【請求項6】 前記論理手段は、前記起動信号を受信している間は前記完成信号を禁止する手段を含む請求項4のコプロセッサ。

【請求項7】 前記プログラマブル手段は、前記コプロセッサを含むチップの入力ボンディングパッドを備える請求項1のコプロセッサ。

【請求項8】 前記入力ボンディングパッドのうちのいくつかは前記チップ上の抵抗器を介して電圧基準に結合されている請求項7のコプロセッサ。

【請求項9】 前記入力ボンディングパッドはパッケージのボンディングフィンガと接続されたボンディングワ

イヤを介して電圧基準に結合されている請求項7のコプロセッサ。

【請求項10】 前記入力ボンディングパッドのいくつかは入力ピンに結合されている請求項7のコプロセッサ。

【請求項11】 与えられたオペランドにより算術演算を行い且つ外部クロックを使用するコプロセッサであって、算術起動信号を受信すると前記オペランドにより算術演算を行う第1論理演算手段と、前記算術起動信号を受信した後、前記クロックの所定数サイクルで算術完了信号を発生する第1カウンタ手段と、前記第1カウンタ手段と結合されており、前記算術完了信号を発生するのに必要な前記クロックのサイクル数を、前記算術起動信号と算術完了信号との間の待ち時間を変更できるように変更する第1プログラマブル手段と、乗算器を含み、乗算器起動信号を受信すると前記オペランドによる乗算演算を行う第2論理演算手段と、前記乗算器起動信号後に前記クロックの所定数サイクルで乗算完了信号を発生する第2カウンタ手段と、前記第2カウンタ手段と結合されており、前記乗算完了信号を発生するのに必要な前記クロックのサイクル数を、前記乗算器起動信号と乗算完了信号との間の待ち時間を変更できる如く変更する第2プログラマブル手段と、割算反復のために可変数のサイクルを選択する第3プログラマブル手段とを備えることを特徴とするコプロセッサ。

【請求項12】 与えられたオペランドによる算術演算を行い且つ外部クロックを使用するコプロセッサであって、算術起動信号を受信すると前記オペランドによる算術演算を行う第1論理演算手段と、前記算術起動信号後、前記クロックの所定数サイクルで算術完了信号を発生する第1カウンタ手段と、該第1カウンタ手段は、起動カウンタを与える入力に有する第1カウンタと、該第1カウンタの出力と結合されており、前記第1カウンタ出力が第1の所定値に等しいときは完成信号を発生する第1論理手段と、該第1論理手段が前記第1の所定値を受信した後、次のクロックサイクルでその出力に於いて前記完成信号を発生する前記第1論理手段の出力に結合される第1レジスタとを含み、前記第1カウンタ手段の入力と結合されており、前記算術完了信号を発生するのに必要な前記クロックのサイクル数を、前記算術起動信号と算術完了信号との間の待ち時間が前記クロックのサイクル時間を基礎として変更できる如く変更する第1プログラマブル手段と、乗算器を含み、乗算器起動信号を受信すると前記オペランドによる乗算演算を行う第2論理演算手段と、前記乗算器起動信号後、前記クロックの所定数サイクルで乗算完了信号を発生する第2カウンタ手段と、該第2カウンタ手段は、起動カウンタを与える入力に有する第2カウンタと、該第2カウンタの出力と結合されており、前記第2カウンタ出力が第2所定値に等しいときは完成信号を発生する第2論理手段と、該第

2 論理手段が前記第2所定値を受信した後、次のクロックサイクルでその出力に於いて前記完成信号を発生する前記第2論理手段の出力と結合される第2レジスタとを含み、前記第2カウント手段と結合されており、前記乗算完了信号を発生するのに必要な前記クロックのサイクル数を、前記乗算器起動信号と乗算完了信号との間の待ち時間が変更できる如く変更する第2プログラマブル手段と、割算反復のための可変サイクル数を選択する第3プログラマブル手段と、を備えることを特徴とするコプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、算術演算を行い且つシステムクロックにより制御される集積回路に関する。

【0002】

【従来の技術及び発明が解決しようとする課題】コプロセッサ及び／又は浮動小数点ユニットは種々の算術機能を遂行することができる。加算、減算及び対数計算等の機能は組み合わせで完全に遂行することができる。他の計算、例えば倍精度乗算、割算及び平方根等の計算はレジスタ及び／又はラッチにより分離される組み合わせブロックの集合として遂行されることが多い。一般に全ての算術機能は一又は複数の組み合わせ回路ブロック（時々「セクション」又は「パイプ」とも言う）として遂行され、各ブロックは記憶素子（ラッチ又はレジスタ）により他の組み合わせブロックから分離されている。各々は特別な計算時、一度も使用されないこともあれば1回又は複数回使用されることもある。ブロックはまた数種の機能に割当てられる。例えば、大きな組み合わせ回路は、しばしば割算、平方根及び乗算のアルゴリズムに共

用される。

【0003】アルゴリズムの完全な組み合わせ遂行（例えば加算）は前記遂行の最も簡単なものである。これは1つの組み合わせブロックを持つのみで記憶素子を持たない。各組み合わせブロックは、そのオペランドが入力記憶素子内に現れた（クロックで読込まれた）後は正しい結果を発生するために一定の時間を必要とする。前記ブロックの入力レジスタへ新オペランドをクロックで読み込む制御信号はしばしばこのブロック用の起動信号と呼ばれる。各パイプへの時間割当て（正しい結果が生ずるための）は、対応起動信号後の一定数のシステムクロックサイクルをカウントするタイマを介して実行される。各セクションは前記システムサイクルタイムにより決定する1又は複数のシステムクロックサイクルを要求できる。一般には特殊な一組の入力を持つ特別なパイプ用に演算完了を考慮して前記サイクルタイムを乗算すべきシステムサイクル数は前記パイプにより正しい結果を算出するのに必要な最小時間より大であるか又は等しくなければならない。

【0004】今日（現在の技術に於いて）、各パイプに

許容されるサイクル数は集積回路装置にてハード配線されている。1つのパイプへのサイクル数は前記集積回路の外部のハードウェア手段を介して変更することはできない。もし、ハード配線に依って定められたパイプに許容されるサイクルの数が小さすぎると、この特別のパイプは前記コプロセッサの最も速いサイクルタイムを決定するのに制限因子となるものである。一方、該パイプのサイクル数が大きすぎると、このシステムはパイプ速度を充分利用できなくなる。

10 【0005】

【課題を解決するための手段及び作用】本発明は、演算完了に必要なプログラマブル待ち時間（クロックサイクルのプログラマブル数）を提供するものである。パイプに必要な待ち時間はユニットが動作するように指定されたシステムクロックサイクル時間を含む式から決定される。この待ち時間は計算を行うに必要な時間をカバーするのに必要な少なくとも最小のクロックサイクル数を与えてタイマの計数をセットすることにより予めプログラムされる。別々のタイマが論理演算装置（ALU）演算と乗算演算と論理演算及び割算と平方根演算用に独立してセ

ットされる。

【0006】例えば、割算に於いては多数の反復が、夫々1つ以上のクロックサイクルを必要とするように要求される。割算反復ごとのサイクル数は、1つのクロック速度につき1サイクル、また他の1つのクロック速度につき2サイクルとなるようにプログラムすることができる。これにより割算回路構成がコプロセッサの異なるクロック速度バージョンに使用可能となる。割算反復待ち時間は各バージョンに対して異なるようにプログラムされ、例えば20MHz コプロセッサは反復作用毎に1クロックサイクルにプログラムされる待ち時間を有し、また33MHz コプロセッサは反復作用毎に2サイクルにプログラムされた待ち時間を有する。

40 【0007】こういうふうに同一のチップは各々に大体同様である割算性能につき、33MHzと20MHzとの両者のシステムに使用可能である。好ましい1つの実施例に於いて、コプロセッサチップが入力ボンディングパッドを使用して実装されるときにプログラムされ、これらの信号がデコードされてタイマへ計数を与える。これらの入力はこの前記実装内のピン又はボンディングフィンガに接続して電圧をこのピン又はボンディングフィンガに与えることにより組立時にプログラムすることができる。内部の（シリコンに組み込んだ）プルアップ又はブルダウン抵抗器のこれら入力に接続されたものは、前記ピン又はボンディングフィンガに他の電源が接続されていないときは適宜な電圧レベルを与えることができる。

【0008】本発明により、数個のパイプラインの各々に必要なクロックサイクル数の独立設定を多重相互反復作用演算に各反復作用及び単なる組み合わせ演算に対して可能ならしめる。また本発明は単一のコプロセッサチ

5

ップをして、夫々異なるタイプの演算に対して独立的に演算速度を最大にし（または或る希望性能レベルに調整し）ながら異なるクロック速度で動作すべく形成されることができるようになる。さらに本発明は制御論理の演算がスピードアップするコプロセッサチップが次々と開発されていっても同様な算術演算装置を使用できるようにするが、この演算回路最大速度は不変のままとするものである。この演算回路構成を再設計することは普通長時間かかるので以上の点は利点である。結局、本発明は大多数のテストパターンがチップの異なる待ち時間バージョンについて1つの待ち時間の状態になることができるようにするのである。

【0009】

【実施例】図1にマイクロプロセッサ130とコプロセッサ132との代表的システムを示す。該コプロセッサはバス制御回路134と演算制御回路136及び論理演算部138を含む。遂行すべき演算形式を指示する命令（演算コード）はバス140に与えられる。前記演算に使用されるデータはバス142に与えられる。バス制御回路134は命令を受信して、数サイクルをそのデコードに使用した後、起動信号をライン144に与える。ライン144の起動信号は論理演算部138の算術演算を開始させ、また演算制御部136にシーケンスをスタートさせる。この演算の完了は、論理演算制御回路136からバス制御回路134へのライン146上にDONE信号（完了信号）として現れる。このDONE信号は、内部タイマの使用により完全に論理演算制御部136内に於いて発生することができるか、あるいはライン148の論理演算部138からの信号と論理演算制御部136信号との組み合わせにより発生することができる。注意すべきことは、バス制御回路134及び/又は演算制御部136は前記コプロセッサチップの外部の別のチップ内に存在し得る前記START信号とDONE信号を内部信号というよりむしろ外部信号とするものである。なお、前記コプロセッサ回路はマイクロプロセッサと同様のチップ上で組み合わせることができるものである。また本発明は特別な使用形態に限るものではない。

【0010】図2は、演算装置12を有するコプロセッサ10部分を示す。該演算装置は乗算器回路か論理装置か又は論理演算装置となり得るものである。前記演算装置12はライン14の演算信号及びライン16のオペランドを受信する。その結果を出力ライン18に与える。ライン20のクロック信号及びライン22の起動信号もまた与えられる。ライン24のDONE信号はライン18に結果が出るようになったときに発せられる。前記クロックと起動信号とは、各クロックサイクルでカウントダウンするタイマ26に与えられる（該タイマもまたカウントアップ又は任意シーケンスでカウントできる）。タイマ26は演算装置12で行う演算に必要な時間以上の時間で0となる。完成信号はステートマシン30を介して出力ライン24に供給される。該ステートマシン30はライン34の制御入力を演算装置12に

6

与えて遂行されるべき演算を設定し制御する。

【0011】待ち時間コードはタイマ26への入力ライン40に与えられる。このコードはDONE信号がライン24上に現れる前に必要なクロックサイクル数を制御する。例えば、もし演算装置12が演算完了に150ナノ秒(ns)を必要とし、且つ外部クロックが50ナノ秒サイクル時間を持つならば、前記待ち時間コードは3に設定されてDONE信号が3クロックサイクル後に現れるもので、これは150ナノ秒に等しい。一方、もしマスタークロックサイクルが30ナノ秒であれば3の設定でDONE信号は90ナノ秒後に現れ、これは結果が出る以前のことになる。従って、かようなマスタークロックと共に使用すべきチップにとって前記待ち時間コードはDONE信号が $5 \times 30$ ナノ秒=150ナノ秒までは現れないように5に設定される。

【0012】後掲の表1-4は、プログラマブル待ち時間の1実施例を演算の異なる待ち時間コードについてクロックサイクル単位で表している。別々の待ち時間コードは各演算装置に対して与えられる。即ち、ALU演算に対してはあるコードが、乗算器演算(MUL)に対しては別のコードが、論理演算に対しては第3のコードが、及び各割算反復に対してはサイクル数を制御する第4のコードが与えられる。入力はライン40により与えられて前記待ち時間コードを指示する。ある実施例に於いてはライン40はプルアップ抵抗器を介して正電圧に内部で接続される。つまりコードはプルアップラインの高電圧によって与えられるか、又はパッケージ内でライン40の所望のラインをボンディングフィンガに接続して与えられる。或いは接地すべきプルダウントランジスタを使用することができ、且つ異なるようにプログラムされることが望ましいラインを、正電圧源に接続されているボンディングフィンガに接続することもできる。結局ラインは入力ピンに直接接続されて外部からプログラムできる。また前記ピンとラインとの間には、あるデコード用の論理装置も置くことができる。デコードはピン上の1組の可能値とタイマ設定に使用するライン上の対応組の値との間のマッピングである。

【0013】前記ラインを外部のピンに接続する1つの利点は次の如くである。即ち、ある演算パイプが完了に80ナノ秒かかるとする。また前記バス制御回路が40乃至33MHzより高い周波数の範囲で動作するとする。パイプ速度の充分の効果を得るために、40MHz部（25ナノ秒サイクル）の完成には4サイクルを、また33MHz部（30ナノ秒サイクル）には3サイクルを許容することが可能である。もしバス制御回路が40MHzに適合しないならば、演算性能（待ち時間を同一時間で3サイクルに変更してもよい）を遅らすことなしに33MHz程度まで低下させることができる。これは前記ラインが外部ピンに接続していないならば既にパッケージした部分で行うことができないものである。

【0014】待ち時間プログラミングがピンにより制御

可能であれば、1つの待ち時間での異なる部分をテストするための大多数のパターンを有することができる。(少なくとも一部分の機能的テストを行うため)。タイマテスト用の小セットのパターンのみは異なる待ち時間にしなければならない。また、これは特に前記部分を選らせようとするときに、例えば或る性能レベルと適合させるために適用される。次いで、大部分のテストに対し\*

表

ALU演算 待ち時間コード (PALUS +)	ALU待ち時間 (サイクル)
001	2
010	3
011	4
100	5
101	6
110	7

【0016】

表 2

MUL演算 待ち時間コード (PMULS +)	単精度 MULS 待ち時間 (サイクル)	倍精度 MULD 待ち時間 (サイクル)
001	2	2
010	3	4
011	4	6
100	5	8
101	6	10
110	7	12

【0017】

表 3

論理演算 待ち時間コード (PLOGS +)	論理待ち時間 (サイクル)
01	2
10	3
11	4

【0018】

表 4

割算反復 待ち時間コード (PDIVSEL +)	割算反復毎のサイクル
0	1
1	2

【0019】図3に算術演算、特に割算演算に含まれることのある各種待ち時間を図示する。割算演算はチップの異なるパイプラインに起きることのできる3相を必要とする。第1相では多数の準備段階150が初期計算を行う。続いて一連の減算反復152がある。最後には多数

\*て速い待ち時間の部分をテストすることができる。このテスト部分は速い製品と一致する。それで小さいテストパターンを遅れタイマ設定のテストのために追加することができる。これはテストベクトル(特にバス制御回路テストベクトル)を展開するには長い時間がかかるので重要なことである。

【0015】

1

の完了ステップ154がある。この位相の各々に対するタイミングはタイマ156により与えられる。第1クロック速度に対して準備ステップ150は2サイクルを要求するが減算反復152は20サイクルを要求し、また完了ステップ154は5サイクルを要求できる。より速い第2クロッ

ク速度に対しては準備手段150に同様な一定期間を確保するのに3サイクルが必要である。この速いクロック速度に於いて、1クロックサイクルは割算反復には十分ではない。かくして割算反復毎に2クロックサイクルが必要となる。更には完了ステップ154は準備ステップ150と異なるサイクル数の増加が必要となる。このようにして最適の再構成可能性のためには別々のプログラマブル待ち時間が前記3相の各々に与えられる。

【0020】図4の(A)、(B)は2つの異なるクロック速度に対する図3に示す如き割算演算のタイミング例を示す。図4の(B)は図4の(A)のクロックよりも速い周波数を有するクロック信号(CLK+)を示す。図4(A)では演算はライン1STARTMのパルスにより開始される。これは第1相の2クロックサイクルに続きサイクルMUG01(1)とMUG01(0)として示されている。この位相の完了は単一ラインMUEQZ上のパルスにより示される。これは別々の割算反復クロックDCLKにより夫々計時される多数の割算反復サイクルのMUDIVと示されるものに続くものである。第2相の反復作用が完了すると、第3相のMUG02(2)-MUG02(0)に3クロックサイクルが使用される。第3相の終端はラインMUEQZの別のパルスにより示される。これもまたDONE信号、MUDONEの発生となる。

【0021】図4(B)に於いて、速いクロックサイクルにより、MUG01(2)乃至MUG01(0)と示された3サイクルが第1相に対し必要であることが分かる。クロックサイクル時間に依存して割算反復毎のサイクル数はなお1であり得るか、あるいは割算反復の2サイクルに変更し得る。ここでは図4(B)に示す如く割算反復毎の2サイクルに変更されている。第3相MUG02のサイクル数は図4(B)では変化ないものとして示される。しかし、所要のサイクル数は変更することができ、且つ第1相に使用する1つの余分のサイクルとは異なる量により変化することができる。

【0022】図5に論理演算装置(ALU)である演算装置の図2に示すタイマ26の詳細を示す。前記待ち時間コードはピン又はボンディングフィンガからボンディングパッド42を介してスクリーニングロジック44を通して、またインバータ46を介してデクリメンタ48に与えられる。スクリーニングロジックによりゼロ条件が現れるのを防止する。インバータ46からの3ビットの各々はデクリメンタ48を介して送られる。また図6にはデクリメンタ48の3ビットの1つに対する論理を示す。各出力はライン52のマルチプレクサ50を介して帰還される。

【0023】デクリメンタ48のカウントが001に達するとNANDゲート54はレジスタ56に於いて続くクロックサイクルにラッチされる出力を与える。この続くクロックサイクルは前記デクリメンタを零カウントとなすものであり、これはNANDゲート54により予期される。NANDゲート54はレジスタ56に信号を出し、後者は続いてマルチプレクサ50に選択信号を出す。マルチプレクサ50はデクリメ

ンタ48の出力をその入力に返して別のカウントが他の反復作用のためのサイクルを仕上げる。入力へ返す出力はdcn+であって、これは各サイクルでゼロへカウントダウンする。Dcn-はdcn+の逆極性(1の補数)である。第1の演算の初期カウンタ値(及び次に来るもの)はマルチプレクサ50の他の入力から来る。前記dc+とdc-信号は現在のdcn+とdcN-をカウントする前にカウントを与える。これらはNANDゲート54により使用されてカウントの終わりを予想する。ライン58の起動信号はNANDゲート54が前記デクリメンタ48が起動時演算の誤った完了を報じるようにレジスタ56にロードすることを防止する。これは前記デクリメンタが一定のサイクルを行うので必要となる。

【0024】図6はマルチプレクサ60とレジスタ62と図5のデクリメンタ48のワンビットスライスのデクリメンタ64とを示す。キャリアビットC0+とC0-とは次のビットスライス段に与えられる。その入力と出力とは図5の如く接続される。図7はALUの図2のステートマシン回路30の詳細を示す。デクリメンタ回路66は図5に示す如くである。これはステートマシン70の部分である組合わせ論理68に接続する。DONE信号がステートマシン70の組合わせ論理68と結合するインバータ74からライン72に与えられる。ステートマシン70のレジスタから組合わせ論理68へのライン76と78とにフィードバックが与えられる。最後に入力が組合わせ論理68へのライン82に与えられる。この信号がオペレーションコードからデコードされて、ALU論理を介しての2パスを必要とする整数対単精度変換演算を指示する。

【0025】前記オペレーションコードはフリップフロップ84に与えられ且つ入力NANDゲート86に与えられる。ライン88の入力は倍精度演算が実行されるかどうかを示す。前記オペレーションコードのデコードとステートマシンの詳細及び機能とは当業者には明白なことであろう。図8は乗算装置に使用するデクリメンタ(タイマ)90を示し、これはマルチプレクサ94への入力92の単精度乗算待ち時間を受信する。また倍精度待ち時間コードはマルチプレクサ94への別の待ち時間入力96に与えられる。この入力の選択した1つは第2マルチプレクサ98に与えられ、前記乗算待ち時間コードと前記乗算装置を使用する論理演算のライン100の論理待ち時間コードとでの選択をする。デクリメンタ90を介してのその後のパスは図5と同様の方法でマルチプレクサ102を介して送り返される。しかし、ここでは2つの別々の入力92と96とが割算演算又は倍精度乗算演算との何れかの最終段に対する他のマルチプレクサ104を介して与えられる。

【0026】再び、図5と同様に出力レジスタ106は001の値がNANDゲート108の入力に於ける先行信号に現れるときに、計時される。これは別のNANDゲート110を介して与えられ、このゲートはNANDゲート112から他の入力を受信する。NANDゲート112はその入力として起動信

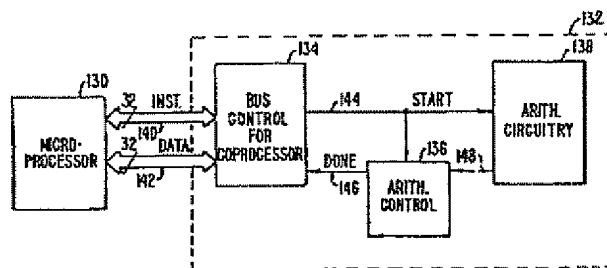


11

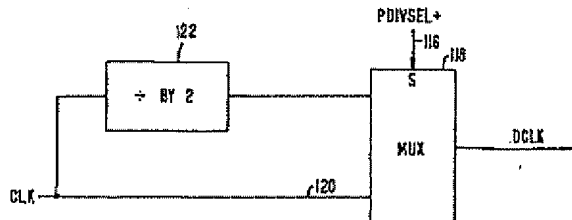
号と「乗算器ステートマシンロード」信号とを有する。ロード信号は前記デクリメンタが演算の中途(即ち倍精度乗算又は割算)で再ロードするときの複合演算に対して起動せしめられる。ライン114の出力信号は論理演算装置の図7に示すものと同様の方法で乗算器ユニットの組合わせ論理に与えられる。割算反復(図9)に対して入力ピン116はマルチプレクサ118によりライン120のクロック周波数か、あるいは1/2回路122出力のクロック周波数の半分かの何れかを選択する。その結果のクロック信号DCLKは割算回路に与えられ割算反復を制御する。

【0027】当業者には理解されるごとく、本発明はその精神又は本質的特徴から逸脱することなく、他の特定形式により具体化される。例えば同一のコードをある数量のパイプ又はALUブロック及び単精度乗算に使用されるブロックの如きセクションを制御するために使用できる。従って本発明の好ましい実施例の開示を説明するのであるが、これは制限されるものではなく、特許請求の範囲に述べる本発明の範囲を説明しようとするものである。

【図1】



【図9】



12

【図面の簡単な説明】

【図1】 プロセッサ-コプロセッサシステムのブロック図である。

【図2】 本発明のプログラマブル待ち時間を使用するコプロセッサ部分のブロック図である。

【図3】 割算演算の異なる部分の異なるクロックサイクル所要事項を示すブロック図である。

【図4】 異なるクロック速度による割算演算のタイミング線図である。

【図5】 図2のタイマ回路のブロック図である。

【図6】 図5のタイマ論理部分の回路図である。

【図7】 論理演算装置(ALU)の図2に示す論理制御部分のさらに詳細なブロック図である。

【図8】 乗算器装置の図5に示す平衡回路のブロック図である。

【図9】 分割クロック選択回路のブロック図である。

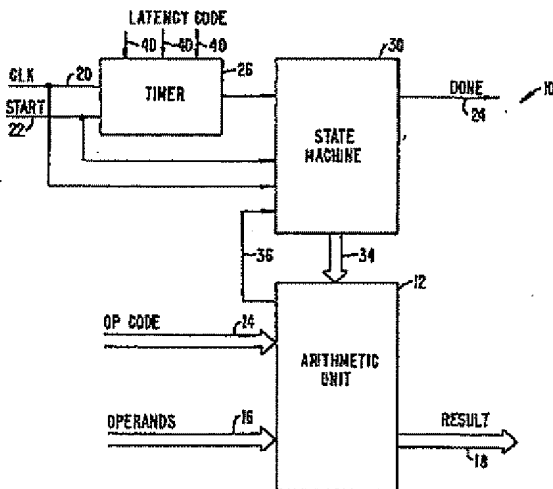
【符号の説明】

26 タイマ

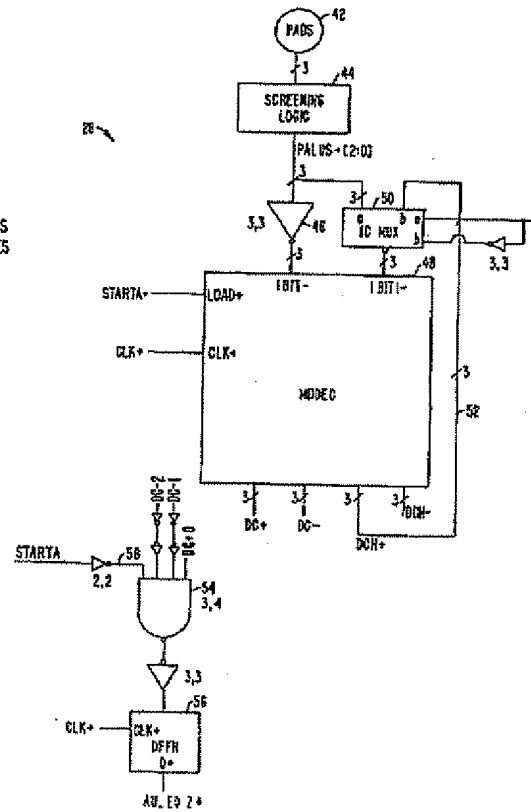
30 ステートマシン

20 12 演算装置

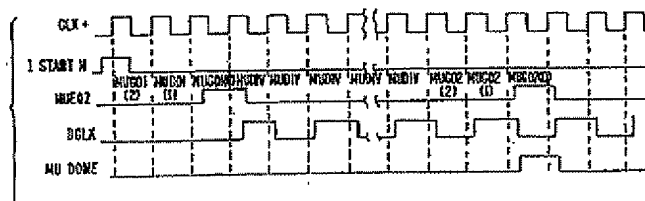
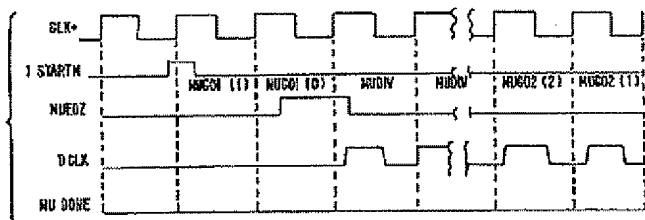
【図2】



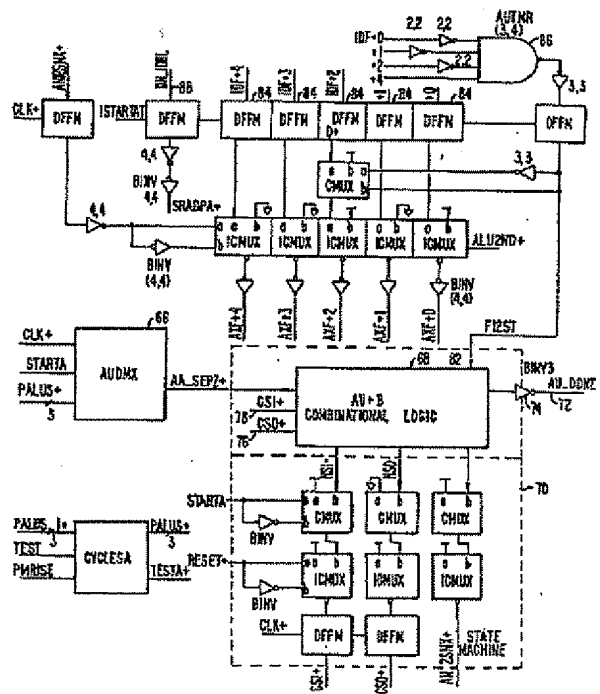
【图5】



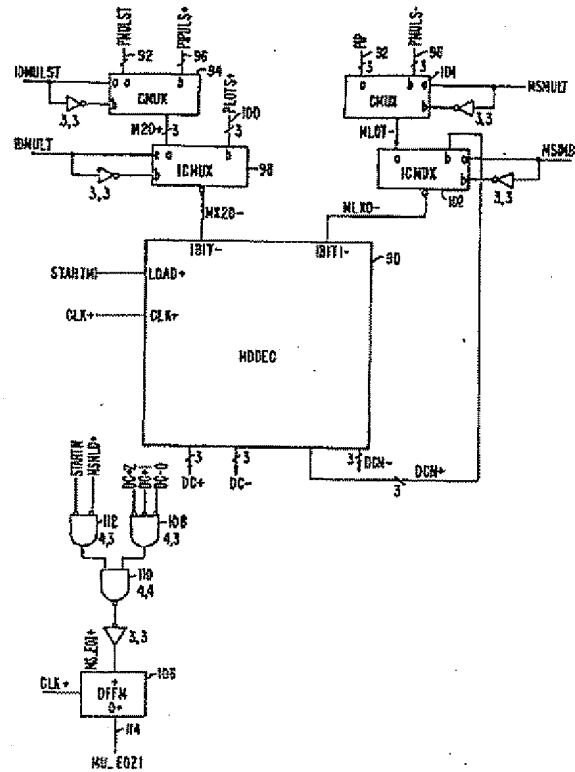
【图4】



【图 7】



【図8】



フロントページの続き

- (72)発明者 テイン・チュク  
アメリカ合衆国, 95129, カリフォルニア,  
サンホセ, スプリングウッド ドライブ,  
781
- (72)発明者 ジョン・マクレオ  
アメリカ合衆国, 94086, カリフォルニア,  
サニーヴェイル, ストウエル アベニュー,  
384

- (72)発明者 マーク・バーマン  
アメリカ合衆国, 95051, カリフォルニア,  
サンタ クララ, ノビリ アベニュー,  
2391
- (72)発明者 アレン・サミュエルズ  
アメリカ合衆国, 95035, カリフォルニア,  
ミルピタス, ノルビユー ドライブ, 1362
- (72)発明者 ジョージ K. チュー  
アメリカ合衆国, 95014, カリフォルニア,  
クベルティノ, ボリンガー ロード, 7522